

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Chan-Hyoung CHO et al. :

Serial No.: [NEW] : Mail Stop Patent Application

Filed: February 19, 2004 : Attorney Docket No. SEC.1134

For: METHOD OF ENLARGING CONTACT AREA OF A GATE ELECTRODE,
SEMICONDUCTOR DEVICE HAVING A SURFACE-ENLARGED GATE
ELECTRODE, AND METHOD OF MANUFACTURING THE SAME

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:


Appln. No. 10-2003-012788 filed February 28, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 19, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012788
Application Number

출원 년 월 일 : 2003년 02월 28일
Date of Application FEB 28, 2003

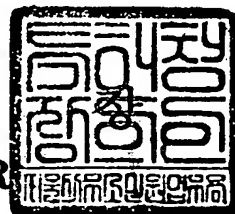
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.02.28
【발명의 명칭】 상부면적이 확장된 확장형 게이트 및 이를 구비하는 반도체 소자의 제조방법
【발명의 영문명칭】 METHOD OF FABRICATING A SURFACE-ENLARGED GATE AND A SEMICONDUCTOR DEVICE THEREOF
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【포괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 조찬형
【성명의 영문표기】 CHO, Chan Hyoung
【주민등록번호】 700623-1056216
【우편번호】 431-070
【주소】 경기도 안양시 동안구 평촌동 삼성레미안 101동 606호
【국적】 KR
【발명자】
【성명의 국문표기】 박승규
【성명의 영문표기】 PARK, Sung Gyu
【주민등록번호】 760116-1797916
【우편번호】 449-711
【주소】 경기도 용인시 기흥읍 삼성전자(주)기흥공장 남자기숙사 월계수동 53 2호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 17 면 17,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 41 항 1,421,000 원

【합계】 1,467,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

상부면적이 확장된 확장형 게이트 및 이를 구비하는 반도체 소자 및 이의 제조방법이 개시된다. 확장형 게이트를 구비하는 반도체 소자를 제조하기 위해 먼저 반도체 기판 상에 게이트 폴리를 형성한 후, 기판의 전면에 절연막을 증착한다. 이어서, 절연막의 상부면이 게이트 패턴의 상부면 이하에 위치하도록 제거한다. 기판의 전면에 폴리실리콘으로 형성되는 도전막을 형성한 후, 이방성 식각에 의해 제거함으로써 게이트 폴리의 상부에 폴리실리콘으로 형성되는 스페이서를 형성한다. 스페이서를 마스크로 사용하여 절연막을 제거함으로써 스페이서의 하부에서 게이트 폴리의 하부 측부에 위치하는 기생 커패시터 조절부재를 형성한다. 상기 스페이서, 게이트 폴리, 기생 커패시터 조절부재를 마스크로 하여 저농도 소스/드레인 영역을 형성한다. 기판의 전면에 질화막을 형성한 후, 질화막 스페이서를 형성하고 질화막 스페이서를 마스크로 사용하여 고농도 소스/드레인 영역을 형성한다. 따라서, 게이트 폴리와 실리사이드 막과의 접촉면적을 증가시킬 수 있으며, 게이트 폴리와 기판 사이에 형성되는 기생 커패시턴스를 효과적으로 제어할 수 있다.

【대표도】

도 1m

【명세서】

【발명의 명칭】

상부면적이 확장된 확장형 게이트 및 이를 구비하는 반도체 소자의 제조방법 {METHOD OF FABRICATING A SURFACE-ENLARGED GATE AND A SEMICONDUCTOR DEVICE THEREOF}

【도면의 간단한 설명】

도 1a 내지 도 1m은 본 발명의 일실시예에 의한 반도체 소자의 제조방법을 설명하기 위한 공정을 나타내는 공정 단면도이다.

도 2는 본 발명의 일실시예에 의한 확장형 게이트 폴리를 구비하는 반도체 소자를 나타내는 단면도이다.

도 3은 도 2에 도시된 확장형 게이트 폴리에 관한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 상부면적이 확장된 확장형 게이트 및 이를 구비하는 반도체 소자의 제조방법에 관한 것으로서, 보다 상세하게는 게이트 상부의 접촉면적을 넓히고 소스/드레인 이온주입에 의해 야기되는 기생 커패시턴스를 용이하게 조절할 수 있는 확장형 게이트를 갖는 트랜지스터 및 이를 구비하는 반도체 장치의 제조방법에 관한 것이다.

<5> 최근, 반도체 집적회로의 집적도가 향상됨에 따라 반도체 소자의 선폭(line width)이나 접촉 영역(contact area) 등은 지속적으로 감소되고 있다. 이에 따라, 게이트 라인의 길이가 짧아지고, 선저항이 증가하여 반도체 소자의 신호전달속도를 저하시키는 원인

으로 작용하고 있다. 반도체 집적회로에 있어서는 신호전달속도는 지연시간(delay time)에 영향을 받는데, 이 지연시간은 게이트 라인의 선저항과 게이트 라인 상호간의 기생 커패시턴스에 의해 영향을 받는다. 따라서, 반도체 소자의 신호전달속도를 향상시키려면, 게이트 라인의 선저항을 낮추거나 게이트 라인 사이의 간격을 크게 하여 기생 커패시턴스를 줄여야 한다. 그러나, 게이트 라인의 간격증가는 집적도를 증가시키기 어려우므로 선저항을 감소시키는 방법을 채택하고 있다. 일반적으로, 선저항을 감소시키기 위하여 반도체 소자의 폴리실리콘으로 형성되는 게이트 전극 상부에 고용점 금속으로 포함하는 실리사이드 막을 형성한 후 열처리를 통해 결합한 폴리사이드가 널리 이용되고 있다.

<6> 그러나, 집적회로의 선폭이 $0.13\mu\text{m}$ 이하로 줄어들게 되면, 상기 게이트 전극의 길이 및 선폭, 횡단면이 현격하게 작아지게 되어 게이트 폴리와의 저항은 매우 높은 반면, 게이트 폴리와의 실리사이드의 접촉면적은 매우 좁아지게 되어 폴리사이드의 형성이 불안정하게 된다. 이에 따라, 폴리사이드의 저항특성도 불안정해져서 폴리사이드로 인한 저항 개선 효과를 거두지 못하는 문제점이 있다.

<7> 한편, 상기 지연시간은 게이트 전극과 기판과의 오버레이 기생 커패시턴스에 의해서도 발생한다. 반도체 소자의 전극은 게이트 전극에 대응하는 정확한 채널길이를 형성하기 위해 먼저 폴리실리콘으로 게이트 전극을 형성한 후, 이온주입공정에 의해 소스 및 드레인 전극을 형성한다. 즉, 소스 및 드레인 전극을 형성할 불순

물을 반도체 기판의 액티브 영역으로 주입한 후, 열처리를 하여 안정화시킨다. 이때, 상기 불순물 도펀트는 확산에 의해 상기 게이트 전극의 양 단부로 유입되면서 오버레이 영역을 형성한다. 결국, 게이트 전극 하부의 채널영역은 상기 오버레이 영역만큼 단축되며, 상기 오버레이 영역은 전기적으로 부도체이므로 상기 게이트 전극과 반도체 기판 사이에서 커패시터를 형성하게 된다. 상기 채널을 통하여 전류가 흐르는 경우, 상기 게이트의 양 단에 형성된 오버레이 기생 커패시터를 먼저 충전하고, 소스와 드레인 사이를 흐르게 되므로 충전시간만큼 시간 지연이 발생한다. 따라서, 상기 오버레이 기생 커패시터도 반도체 소자의 신호전달속도를 저하시키는 원인이 된다. 이러한 현상은, 상기 소스/드레인 불순물의 확산을 방지하기 위한 할로 이온주입에 의해 형성되는 확산영역에도 동일하게 적용될 수 있다.

<8> 디자인 룰이 $0.1\mu\text{m}$ 인 미세 트랜지스터의 제조공정시 발생하는 상기 폴리사이드 게이트 전극의 저항특성 불량을 개선하기 위한 다양한 노력이 시도되고 있다. 예를 들면, 미국특허 제 6,169,017호(Method to increase contact area)는 실리사이드와 접촉하는 상기 게이트 전극의 상단부 표면적을 증가시킨 T형 또는 버섯형상의 게이트 전극의 제조방법을 개시하고 있으며, 일본 공개특허 제2000-36594호에 의하면, 폴리실리콘 막을 이중으로 증착하여 하부보다 상부가 넓은 게이트 폴리의 제조방법이 개시되어 있다. 그러나, 상기 게이트 전극과 상기 반도체 기판사이의 오버레이 기생 커패시턴스에 의해 발생하는 지연시간은 여전히 개선되지 않고 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 따라서, 본 발명의 목적은 게이트 전극과 실리사이드 금속의 접촉면적을 증대시킴으로써 게이트 폴리사이드의 저항특성을 향상시키고, 게이트 전극과 반도체 기판사이의

오버랩 기생 커패시턴스를 조절할 수 있는 반도체 소자용 게이트 구조를 제공하는 것이다.

<10> 본 발명의 다른 목적은 게이트 전극과 실리사이드 금속의 접촉면적을 증대시킴으로써 게이트 폴리사이드의 저항특성을 향상시키고, 게이트 전극과 반도체 기판사이의 오버랩 기생 커패시턴스를 조절할 수 있는 게이트를 갖는 반도체 장치를 제공하는 것이다.

<11> 본 발명의 또 다른 목적은 게이트 전극과 실리사이드 금속의 접촉면적을 증대시킴으로써 상단면적이 확장된 T형 게이트 전극과 상기 게이트 전극과 반도체 기판사이의 오버랩 기생 커패시턴스를 조절할 수 있는 커패시턴스 조절부재를 구비하는 반도체 소자를 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 목적을 달성하기 위한 본 발명의 일실시예에 의하면, 반도체 기판 상에 상기 반도체 기판과 게이트 산화막을 통해 절연되고 폴리실리콘으로 형성되는 적어도 하나의 게이트 패턴을 형성하는 단계, 상기 게이트 패턴과 상기 반도체 기판 상에 저온 산화막을 증착하는 단계, 상기 저온 산화막의 상부면이 상기 게이트 패턴의 상부면 이하에 위치하도록 상기 저온 산화막을 제거하는 단계, 상기 저온 산화막 및 상기 게이트 패턴의 상부면에 상기 폴리실리콘으로 형성되는 도전막을 형성하는 단계, 상기 저온 산화막이 노출되도록 상기 도전막을 제거하여 상기 게이트 패턴의 상부 측부에 상기 폴리실리콘으로 형성되는 스페이서를 형성함으로써 상기 게이트 패턴의 상부 접촉면적을 확장하는 단계, 및 상기 저온 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법이 제공된다.

<13> 상기 저온 산화막은 고밀도 플라즈마 화학기상증착 공정에 의해 증착되며, 약 3000 Å의 두께까지 증착된다. 상기 저온 산화막은 상부면을 평탄화시키는 단계와 에칭하는 단계를 거쳐 제거된다. 일실시예로서, 상기 저온 산화막은 화학적 기계적 연마공정에 의해 상기 게이트 패턴의 상부면으로부터 약 700Å의 두께까지 평탄화되며, 평탄화된 상기 저온 산화막은 상기 게이트 산화막으로부터 900Å의 두께까지 습식 에칭된다. 바람직하게는, 상기 도전막의 형성이전에 상기 저온 산화막 상에 존재하는 에칭 잔류물을 제거하기 위한 세정단계를 더 포함할 수 있다. 일실시예로서, 상기 도전막은 화학기상증착 방식에 의해 300Å 내지 500Å의 두께까지 증착되며, 이방성 식각에 의해 제거된다. 상기 제2 절연막은 상기 스페이서를 마스크로 하여 제거되어 상기 게이트 패턴의 하부 측부에만 잔존하게 된다. 상기 게이트 패턴 및 상기 스페이스의 상부에 금속막을 형성하기 위한 실리사이드 공정(silicidation process)을 수행한다. 이때, 상기 금속막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co)중의 어느 하나를 포함한다.

<14> 본 발명의 목적을 달성하기 위한 본 발명의 다른 실시예에 의하면, 소자 분리구조에 의해 활성영역(active region)이 한정된 반도체 기판 상에 상기 반도체 기판과 게이트 산화막을 통해 절연되고 폴리실리콘으로 형성되는 적어도 하나의 게이트 패턴을 형성하는 단계, 상기 게이트 패턴과 상기 반도체 기판 상에 저온 산화막을 증착하는 단계, 상기 저온 산화막의 상부면이 상기 게이트 패턴의 상부면 이하에 위치하도록 상기 저온 산화막을 제거하는 단계, 상기 저온 산화막 및 상기 게이트 패턴의 상부면에 상기 폴리실리콘으로 형성되는 제1 도전막을 형성하는 단계, 상기 저온 산화막이 노출되도록 상기 제1 도전막을 제거하여 상기 게이트 패턴의 상부 측부에 제1 스페이서를 형성함으로써 상부 표면적이 확장된 확장형 게이트 패턴(surface-enlarged gate pattern)을 형성하는

단계, 상기 저온 산화막 및 상기 게이트 산화막을 제거하여 상기 반도체 기판의 표면을 노출하는 단계, 상기 반도체 기판의 전면(entire surface) 및 상기 확장형 게이트 패턴의 상부에 산화막을 형성하는 단계, 저농도 소스/드레인(lightly doped source/drain region) 구조를 형성하기 위해 상기 확장형 게이트 패턴을 마스크로 사용하여 상기 확장형 게이트 패턴의 양 측부에 위치하는 반도체 기판에 저농도 불순물 이온을 주입하는 단계, 상기 산화막의 상부에 질화막을 형성하는 단계, 상기 질화막을 제거하여 상기 확장형 게이트 패턴의 측부에 제2 스페이서를 형성하는 단계, 상기 확장형 게이트 패턴 및 상기 제2 스페이서를 마스크로 사용하여 상기 확장형 게이트 패턴의 양 측부에 고농도 불순물 이온을 주입하여 소스/드레인 영역을 형성하는 단계, 상기 저농도 불순물 이온 및 고농도 불순물 이온을 열 확산시키는 단계 및 상기 확장형 게이트 패턴의 상부면 및 상기 소스/드레인 영역의 상부면에 제2 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법이 제공된다.

<15> 일실시예로서, 상기 저온 산화막은 상기 저온 산화막의 상부면을 화학적 기

계적 연마공정에 의해 평탄화시킨 후, 저온 산화막을 습식에칭함으로써 제거된다. 바람직하게는, 상기 제1 도전막 형성단계 이전에 상기 저온 산화막 상에 존재하는 에칭 잔류물을 제거하기 위한 세정을 더 수행할 수 있다. 일실시예로서, 상기 제1 도전막은 화학 기상증착 방식에 의해 300Å 내지 500Å의 두께까지 형성된 후, 이방성 식각에 의해 제거되며, 상기 저온 산화막은 상기 제1 스페이서를 마스크로 사용하여 식각되어 상기 게이트 패턴의 하부 측부에만 잔존하게 된다. 바람직하게는, 상기 저농도 불순물 이온 주입단계 이전에 상기 불순물이 채널영역으로 확산하는 것을 방지하기 위한 확산방지 이온을 주입하는 단계를 더 포함한다. 상기 확산방지 이온으로서, 게르마늄(Ge), 인(P), 실리콘(Si), 또는 인듐(In) 중의 어느 하나를 사용한다. 이때, 확산방지 이온은 상기 반도체 기판으로부터 시계방향으로 측정된 제1 틸트각을 유지하면서 상기 확장형 게이트 패턴의 일측부로 주입되며, 상기 반도체 기판으로부터 반시계방향으로 측정된 제2 틸트각을 유지하면서 상기 확장형 게이트 패턴의 일측부와 대향하는 타측부로 주입된다. 바람직하게는, 상기 제1 틸트각 및 제2 틸트각은 30°내지 45°의 범위를 갖는다. 상기 저농도 불순물 이온 및 고농도 불순물 이온은 상기 반도체 기판에 대해 수직하게 주입된다. 일실시예로서, 상기 제2 도전막을 형성하는 단계는, 상기 소스/드레인 영역의 상부에 형성된 상기 제3 절연막을 제거하여 상기 반도체 기판의 표면을 노출하는 단계, 상기 반도체 기판의 전면에 금속막을 증착하는 단계, 상기 금속막과 상기 반도체 기판 및 상기 금속막과 상기 확장형 게이트 패턴의 도전물질 사이의 반응을 유도하기 위한 열처리 공정을 수행하는 단계를 포함한다. 이때, 상기 금속막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co) 중의 어느 하나로 형성된다.

<16> 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 실시예에 의하면, 소자분리 구조에 의해 활성영역(active region)이 한정된 반도체 기판, 상기 활성영역의 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막과 접하는 몸체부 및 상기 몸체부의 상부 측부에 형성된 날개부를 포함하는 버섯형 게이트 및 상기 날개부의 하부에 위치하며 상기 몸체부 및 상기 게이트 절연막과 접하는 기생 커패시턴스 조절부재를 구비하는 게이트 전극부, 상기 게이트 전극부를 사이에 두고 이격하여 위치하며, 상기 활성영역에 형성된 소스/드레인 영역을 포함하는 반도체 소자를 제공한다. 이때, 상기 게이트는 폴리실리콘으로 형성되며, 상기 조절부재는 저온 산화막으로 형성된다. 바람직하게는, 상기 소스/드레인 영역의 불순물이 소스 및 드레인 사이의 채널영역으로 확산하는 것을 방지하기 위한 할로 이온 확산영역을 더 포함한다. 상기 게이트 몸체부의 상부에 결합되어 상기 게이트의 전기저항을 감소시키기 위한 금속 실리사이드막을 더 포함한다. 상기 금속막은 상기 소스/드레인 영역의 상부기판에도 증착되어 기판에서의 접촉저항을 낮출 수 있다.

<17> 본 발명에 의하면, 게이트 전극의 상부에 게이트 전극과 동일한 물질인 폴리실리콘을 다시 증착 및 에칭함으로써, 게이트 전극의 하부보다는 상부의 면적을 크게할 수 있다. 따라서, 게이트 전극 상부에서 실리사이드 금속과의 접촉을 원활하게 함으로써 미세구조의 디자인 룰에서도 폴리실리콘과 실리사이드 금속의 접촉을 원활하게 유지할 수 있다. 따라서, 미세구조의 게이트 패턴에서도 실리사이드 금속막을 형성함으로써 게이트 저항을 낮추는 효과를 달성할 수 있다. 또한, 상기 폴리실리콘의 증착두께를 조절함으로써 게이트 전극의 양 측부에 위치하는 오버랩 기생 커패시턴스 조절부재의 두께를 조절할 수 있다. 따라서, 소스/드레인 불순물이 채널영역으로 확산됨으로써 형성되는 오버랩 기생 커패시턴스의 크기를 조절할 수 있다. 따라서, 게이트 저항 및 오버랩 기생 커패

시턴스의 크기를 줄임으로써 지연시간을 줄이고, 반도체 소자의 신호전달 속도를 향상할 수 있는 효과를 달성할 수 있다.

<18> 이하, 본 발명의 바람직한 실시예를 첨부하는 도면을 참조하여 상세하게 설명한다.

<19> 도 1a 내지 도 1m은 본 발명의 일실시예에 의한 반도체 소자의 제조방법을 설명하기 위한 공정을 나타내는 공정 단면도이다.

<20> 도 1a를 참조하면, 먼저 반도체 기판(10) 상에 상기 기판(10)과 제1 절연막(12)을 통해 절연되고 도전물질로 형성되는 적어도 하나의 게이트 패턴(14)을 형성한다. 상기 기판에 형성되는 다수의 트랜지스터는 소자 분리구조(13)에 전기적으로 구별된다. 따라서, 상기 기판은 트랜지스터가 위치하여 전기적 작동을 수행하는 활성영역(11, active region)과 소자 분리구조(13)가 위치하는 비활성영역으로 구분된다. 일실시예로서, 상기 소자 분리구조는 트렌치 절연 공정(shallow trench isolation)으로 형성한다. 일실시예로서, 상기 제1절연막(12)은 실리콘 산화막(SiO_2)으로 형성한다. 상기 실리콘 산화막은 상부에 위치하는 게이트 전극과 하부에 위치하는 반도체 기판(10)을 전기적으로 절연시키는 역할을 한다. 제1절연막(12) 상에 형성되는 상기 게이트 패턴(14)은 도전성 물질로 형성하여 반도체 소자의 제어부 역할을 담당한다. 일실시예로서, 상기 게이트 패턴(14)은 폴리실리콘으로 형성한다. 이하 폴리실리콘으로 형성된 게이트 패턴을 게이트 폴리로 명명한다. 반도체 기판 상에 상기 게이트 폴리를 형성하는 공정은 일반적으로 알려진 종래의 방법을 사용한다.

<21> 도 1b를 참조하면, 상기 기판(10)의 전면(entire surface)에 제2 절연막(16)을 증착한다. 따라서, 상기 제2 절연막(16)은 상기 활성영역(11) 내의 모든 기판(10) 표면과 상기 게이트 폴리(14)의 상부면을 덮으면서 증착된다. 일실시예로서, 상기 제2 절연막

(16)은 저온 산화물(low temperature oxide, 이하 LTO)로 형성되며, 화학기상증착(chemical vaporized deposition, 이하 CVD) 또는 플라즈마 화학기상증착(plasma CVD)에 의해 상기 기판의 표면으로부터 약 3000Å까지 증착된다.

<22> 이어서, 도 1c에 도시된 바와 같이 상기 제2절연막(16)을 평탄화시켜 상기 게이트 폴리(14)의 상부표면으로부터 약 700Å의 높이까지 제거한다. 이때, 평탄화 공정은 화학적 기계적 연마(chemical mechanical polishing) 공정에 의해 수행된다. 평탄화 공정이 완료되면 도 1d에 나타난 바와 같이, 습식에칭을 수행하여 상기 게이트 산화막(12)의 표면으로부터 약 900Å의 높이까지 상기 평탄화된 제2절연막(16a)을 제거한다. 일실시예로서, 상기 습식에칭은 LAL(Limulus Amoebocyte Lysate)용액을 이용하여 수행한다.

<23> 도 1e를 참조하면, 상기 기판(10)의 전면에 제1도전막(18)을 형성하여, 습식에칭이 완료된 제2 절연막(16b) 및 상기 게이트 폴리(14)의 상부를 덮는다. 이때, 상기 제1 도전막(18)은 상기 게이트 폴리(14)와 동일한 도전성 물질인 폴리실리콘으로 형성한다. 따라서, 상기 게이트 폴리의 구성물질이 달라지면 이에 따라 상기 제1 도전막(18)의 구성물질도 달라진다. 일실시예로서, 상기 제1 도전막(18)은 화학기상증착 공정에 의해 약 300 내지 500Å의 두께를 갖도록 증착된다. 바람직하게는, 상기 제1 도전막(18)을 증착하기 전에 상기 습식에칭된 제2절연막(16b)의 표면에 대해 세정공정을 진행하여 에칭 잔류물을 제거한다. 일실시예로서, 상기 세정공정은 환경친화성이 우수한 수계 세정제를 사용하는 습식세정으로 수행된다.

<24> 도 1f를 참조하면, 상기 제1 도전막(18)을 이방성 식각인 건식식각 방법으로 에칭하여 상기 게이트 폴리(14)의 상부 측부에 제1 스페이서(19)를 형성한다. 따라서, 상기 게이트 폴리(14)의 상부 좌측부 및 상부 우측부에는 동일한 도전성 물질로 형성되는 스

페이서가 추가됨으로써, 상단표면(top surface)의 면적이 상기 제1 스페이서(19)의 표면적만큼 증가한다. 이하 상기 제1 스페이서(19)가 구비된 상기 게이트 패턴(14)을 확장형 게이트 패턴(surface-enlarged gate pattern)이라 하며, 폴리실리콘으로 형성된 확장형 게이트 패턴을 확장형 게이트 폴리라 한다. 따라서, 상기 확장형 게이트 폴리과 실리콘사이드 금속이 결합하는 경우의 접촉면적을 증가시킴으로써 폴리사이드의 저항특성을 보다 더 안정화시킬 수 있다.

<25> 도 1g를 참조하면, 상기 확장형 게이트 폴리를 마스크로 하여 건식식각을 수행하여 상기 습식에칭된 제2 절연막(16b)을 제거한다. 따라서, 상기 제1 스페이서(19) 하부에 위치하며 상기 게이트 폴리(14)의 하부 측부에서 상기 게이트 폴리(14)와 접촉하고 있는 제2 절연막(16b)을 제외한 나머지 제2 절연막(16b)은 모두 제거된다. 상기 제1 스페이서(19) 하부에 위치하는 잔류 제2 절연막(16c)은 이후의 소스/드레인 형성을 위한 이온 주입공정에서 주입되는 이온들이 게이트의 측부로부터 멀리 주입되도록 하는 역할을 한다. 따라서, 소스/드레인 불순물의 확산영역이 상기 게이트 패턴(14)의 하부에 형성되는 것을 방지한다. 이때, 상기 제1 절연막(12)은 굳이 식각할 필요는 없지만, 상기 제2 절연막에 비교하면 매우 얇은 두께를 가지고 있으므로 식각되지 않고 유지시키는 것이 더 많은 노력을 요하고 있다. 따라서, 상기 제2 절연막의 식각시 제1 절연막도 함께 제거한다. 그러나, 이는 공정의 효율상 필요에 의한 것이지, 본 발명의 구성상 필요한 것은 아니다. 따라서, 제1절연막을 제거하지 않을 수 있는 효율적 방법이 제시된다면 굳이 제1 절연막을 제거할 필요는 없다.

<26> 도 1h를 참조하면, 상기 기판(10)의 전면에서 제3절연막(20)을 성장시켜 후속하는 이온 주입공정에서 주입되는 이온으로부터 기판을 보호한다. 일실시예로서, 상기 제3절연

막(20)은 산화막으로 형성하여 제거된 상기 제1절연막(12)의 기능을 대신한다. 이때, 상기 산화막은 막질의 상부보다는 하부방향으로 성장하는 양이 크기 때문에 상기 확장형 게이트 폴리의 상부에서는 확장형 게이트 폴리의 안쪽으로 성장하는 양이 더 많다. 상기 기판(10)의 표면에서는 상기 제1절연막과 동일한 물질이므로 동일한 높이로 성장한다.

<27> 이어서, 상기 확장형 게이트 폴리의 양 측부에 소스/드레인 영역이 이온 주입공정으로 형성된다. 일반적으로 상기 소스/드레인 영역은 상기 기판(10)의 표면으로 반도체 소자의 소스/드레인 전극을 형성할 수 있는 3족 또는 5족 원소의 불순물을 주입한 후 열처리를 함으로써 완성된다. 이때, 상기 열처리에 의해 주입된 불순물 이온이 상기 게이트 전극의 하부에 위치하는 채널방향으로 확산된다. 이러한 확산은 게이트 하부에 형성되는 전하의 이동통로인 채널을 단축시키는 단채널 현상(short channel effect)을 야기하며, 소스 또는 드레인 전극이 게이트 하부에 겹치도록 위치함으로써 게이트 전극과의 사이에 커패시터를 형성하여 신호전달을 지연시키는 오버랩(overlap) 기생 커패시터를 형성한다. 특히, 상기 오버랩 기생 커패시터는 소스/드레인 불순물 이온의 확산영역이 커질수록 상기 확장형 게이트 폴리와 접촉하는 면적이 증가하게 되므로 기생 커패시턴스의 크기도 증가하게 된다.

<28> 도 1i를 참조하면, 상기 소스/드레인 불순물 이온의 확산을 방지하기 위해 먼저 확산방지 이온을 주입하여 확산방지층(22a)을 형성한다. 상기 확산방지층은 상기 불순물 이온의 게이트 전극 하부로 확산을 차단해야 하므로 가급적 게이트 전극하부로 주입되는 것이 바람직하다. 따라서, 상기 확산방지 이온은 상기 기판(10)의 표면에 대하여 소정의 경사각을 가지면서 주입된다. 일실시예로서, 상기 확산형 게이트 폴리의 좌측부에서는 상기 기판의 표면으로부터 시계방향으로 30도 내지 45도의 기울기를 가지면서 주입

되며, 우측부에서는 반시계방향으로 30도 내지 45도의 기울기를 가지면서 주입된다. 상기 확산방지 이온은 게르마늄(Ge), 인(P), 실리콘(Si), 인듐(In) 등과 같은 할로이온을 이용한다. 상기 기판(10)으로 주입된 상기 확산방지 이온은 상기 확산형 게이트 폴리의 하부에 확산방지 층을 형성하여 추후 진행되는 소스/드레인 불순물의 가열로 인한 확산을 차단한다.

<29> 이어서, 상기 소스/드레인 영역의 기판표면으로 소스/드레인 전극을 형성할 불순물 이온이 주입된다. 이때, 게이트 전극과 인접하는 기판표면 부근에서 고밀도의 불순물이 형성되면 상기한 바와 같은 단채널 효과나 오버랩 기생 커패시턴스의 가능성이 높아지기 때문에, 기판표면에서는 불순물의 농도를 낮게 형성하는 저농도 소스/드레인(lightly doped source/drain) 영역(22b)을 형성한다. 이때, 상기 불순물 이온은 상기 확장형 게이트 폴리를 마스크로 하여 기판에 수직하게 주입되므로 상기 저농도 소스/드레인 영역(22b)은 상기 제2 절연막(16b)의 수직하부 방향으로 형성된다. 이때, 상기 저농도 소스/드레인 영역에 대해 채널방향으로의 전자흐름을 양호하게 하기 위한 익스텐션(extension) 공정이 선택적으로 적용될 수 있다.

<30> 도 1j를 참조하면, 상기 기판(10)의 전면에 제4절연막(23)을 증착하여 상기 제3 절연막(20) 및 상기 확장형 게이트 폴리의 상부면을 제4절연막(23)으로 덮는다. 통상적인 CVD 또는 PVD 방식으로 증착되며, 일실시예로서 질화막인 실리콘 나이트라이드(Si₃N₄)를 이용한다. 이어서, 도 1k에 도시된 바와 같이, 상기 제4 절연막(23)을 건식식각하여 제2 스페이서(24)를 상기 확장형 게이트 폴리의 양 측부에 형성한다. 이때, 상기 제2 스페이서(24)는 상기 제2 절연막(16b)의 측부에 형성되어 후속하는 이온 주입공정의 마스크로 작용한다.

- <31> 도 11을 참조하면, 상기 소스/드레인 불순물이 상기 확장형 게이트 폴리와 상기 제2 스페이서(24)를 마스크로 하여 고농도로 주입된다. 따라서, 고농도의 소스/드레인 영역(26)은 상기 제2 스페이서(24)의 수직하부 방향으로 형성된다.
- <32> 상기 이온주입 공정이 완료된 후, 상기 소스/드레인 영역에 대해 열처리 공정을 진행하여 상기 소스/드레인 불순물과 상기 기판(10)의 결합을 화학적으로 안정시킨다. 상기 열공정 중, 상기 불순물은 상기 게이트 전극 방향으로 확산한다. 그러나, 상기 게이트 폴리의 측부로부터 상기 잔류 제2절연막 및 상기 제2 스페이서의 두께만큼 떨어져서 이온주입이 이루어졌으므로, 확산이 일어난다 할지라도 상기 게이트 폴리의 하부로 파고 들어갈 가능성은 현저히 줄어든다. 따라서, 상기 오버랩 기생 커패시턴스로 인한 지연시간은 현저히 줄어들게 된다. 특히, 상기 제2 절연막(16b)의 두께는 상기 제1 도전막(18)의 증착두께에 의해 결정되므로, 공정중에서 자유롭게 설정할 수 있는 장점이 있다. 일반적으로 회로설계 과정에서는 상기 소스/드레인 불순물의 확산정도를 고려하여 허용 가능한 오버랩 기생 커패시턴스를 설정하고 있다. 그러나, 불순물의 확산정도를 결정하는 변수는 다양하기 때문에 일의적으로 이를 제어하는 것은 어렵다. 본 발명의 일실시예에 의한 잔류 제2절연막(16c)은 이러한 불확실성을 보완할 수 있는 장치로서, 상기 잔류 제2절연막(16c)을 공정상 허용가능한 범위에서 충분히 두껍게 형성한다면, 소자의 동작특성에 관한 오버랩 기생 커패시턴스의 영향을 충분히 배제할 수 있다. 즉, 상기 잔류 제2절연막(16c)의 두께는 상기 오버랩 기생 커패시턴스에 대한 안전계수 역할을 할 수 있다. 상기 제1 도전막(18)의 증착두께를 제어하는 하는 것만으로 상기 잔류 제2절연막(16c)의 두께를 조절할 수 있으므로 공정 진행중에 상기 잔류 제2절연막(16c)의 두께를 용이하게 조정할 수 있다.

<33> 도 1m을 참조하면, 반도체 소자의 저항특성을 향상하기 위한 실리사이드 공정이 진행된다. 먼저, 상기 산화막(20)을 선택적으로 식각하여 상기 소스/드레인 영역에 대응하는 기판(10)의 표면을 노출시킨다. 이어서, 상기 확장형 게이트 폴리의 상부 및 상기 소스/드레인 영역의 기판 상에 실리사이드막을 형성하고, 열처리를 하여 안정시킨다. 일실시예로서, 상기 실리사이드 막은 코발트(Co), 텅스텐(W), 티타늄(Ti) 등과 같은 고용점 금속 실리사이드로 형성된다. 따라서, 상기 확장형 게이트 폴리의 선저항 및 상기 소스/드레인 전극의 접촉저항을 줄임으로써 소자의 신호동작속도를 향상시킬 수 있다. 이때, 상기 확장형 게이트 폴리는 상부 면적이 증가하여 상기 실리사이드 막과의 접촉면적을 증가시킬 수 있는 장점이 있다.

<34> 이상에서는 전형적인 단채널 모스(MOS)형 전계효과 트랜지스터 (MOS-FET)의 제조방법을 예로 들어 설명하였지만, 서로 상보적인 단채널 MOS-FET이 하나의 칩속에서 구동하는 상보 모스형 전계효과 트랜지스터(Complementary MOS-FET)의 제조공정에도 동일하게 적용할 수 있음은 자명하다.

<35> 도 2는 본 발명의 일실시예에 의한 확장형 게이트 폴리를 구비하는 반도체 소자를 나타내는 단면도이며, 도 3은 도 2에 도시된 확장형 게이트 폴리만 확대하여 나타낸 단면도이다.

<36> 도 2 및 도 3을 참조하면, 본 발명의 일실시예에 의한 확장형 게이트 폴리를 구비하는 반도체 소자는 반도체 기판(100), 상기 기판(100)상에 형성된 게이트 절연막(200), 상기 게이트 절연막(200) 상에 형성된 게이트 전극부(300), 상기 게이트 전극부의 양 측벽에 형성된 스페이서(400) 및 소스/드레인 전극부(500)를 구비한다.

- <37> 상기 반도체 기판(100)은 소자분리 구조에 의해 전기적으로 절연되는 다수의 트랜지스터를 포함하며, 상기 트랜지스터가 위치하여 전기적으로 활성인 활성영역과 활성영역들을 구별시켜주면서 전기적으로 비활성인 비활성영역으로 구분된다. 상기 게이트 절연막(200)은 후속하는 공정으로부터 기판표면에 결함이 유발되는 것을 방지하기 위한 것으로서 일실시예로서, 산화막으로 형성된다.
- <38> 상기 게이트 전극부(300)는 상기 게이트 절연막(200)과 접하는 몸체부(311), 상기 몸체부(311)의 상부 측부에 형성된 날개부(312)를 포함하는 버섯형(mushroom) 게이트(310) 및 상기 날개부(312)의 하부에 위치하며, 상기 몸체부(311) 및 상기 게이트 절연막(200)과 접하는 기생 커패시턴스 조절부재(320)를 구비한다.
- <39> 상기 날개부(312)는 상기 몸체부(311)에 부가되어 일체로 형성된 것으로서, 상기 날개부(312)의 표면적만큼 상기 게이트 전극부(300)의 상부 접촉면적이 증가하는 효과가 있다. 따라서, 디자인 룰이 서브 마이크론 단위로 줄어든다 할지라도, 상기 게이트 전극부와 실리사이드의 접촉을 유지할 수 있다. 일실시예로서, 상기 게이트 전극부는 폴리실리콘으로 형성한다. 상기 기생 커패시턴스 조절부재(320)는 후술하는 스페이서(400)와 함께 소스/드레인 전극을 형성하는 불순물이 상기 게이트 전극부로부터 상기 기생 커패시턴스 조절부재(320)의 두께만큼 이격되어 주입되도록 한다. 따라서, 상기 소스/드레인 불순물이 열처리된다 할지라도 상기 게이트 전극부의 하부로 확산되는 것을 방지함으로써 오버랩 기생 커패시턴스에 의한 지연시간을 방지할 수 있는 장점이 있다. 이때, 상기 기생 커패시턴스 조절부재의 두께는 상술한 바와 같이 상기 날개부(312)의 폭을 조절하는 것에 의해 공정상으로 쉽게 조절할 수 있다. 일실시예로서, 상기 기생 커패시턴스 조절부재(320)는 저온 산화막으로 형성한다.

- <40> 상기 스페이서(400)는 상기 게이트 전극부(200)의 양 측부에 형성되는 절연막으로서, 후술하는 소스/드레인 전극을 형성하기 위한 이온 주입공정에서 마스크 역할을 한다. 일실시예로서, 상기 스페이서(400)는 실리콘 나이트라이드를 이용하여 형성한다.
- <41> 상기 소스/드레인 전극부(500)는 주입되는 불순물의 채널방향으로의 확산을 차단하기 위한 확산방지 층(510), 저농도 도핑층(520) 및 고농도 도핑층(530)을 포함한다. 상기 확산방지 층은 게르마늄(Ge), 인(P), 실리콘(Si), 인듐(In) 등과 같은 할로이온을 상기 기판(100)의 표면에 대하여 일정한 각으로 경사지게 주입한다. 따라서, 상기 확산방지 층(510)은 상기 게이트 전극부(310)의 하부에 위치하여 열처리에 의해 상기 저농도 도핑층(520) 및 고농도 도핑층(530)에 주입된 불순물들이 채널방향으로 확산하는 것을 방지한다. 상기 저농도 도핑층(520)은 상기 게이트 전극부(300)를 마스크로 하여 이온주입 공정이 진행되며, 상기 고농도 도핑층(530)은 상기 스페이서(400)를 마스크로 하여 이온주입 공정이 진행된다. 따라서, 상기 게이트 전극부(300)와 상대적으로 가까운 기판 영역에는 불순물이 저농도로 도핑되며, 상대적으로 먼 기판영역에는 고농도의 불순물을 도핑시킴으로써 불순물에 의해 채널영역이 영향을 받는 것을 방지할 수 있다. 바람직하게는, 상기 게이트 몸체부의 상부 및 날개부의 표면에 결합되어 상기 게이트의 전기저항을 감소시키기 위한 금속 실리사이드막(600)을 더 포함한다. 상기 금속 실리사이드막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co) 등과 같은 고용점 금속을 포함하도록 형성된다. 따라서, 상기 게이트 전극부의 선저항 및 상기 소스/드레인 전극부의 접촉저항을 낮출 수 있다.

【발명의 효과】

<42> 본 발명에 의하면, 게이트 폴리 của 상부 측부에 날개부를 부가하여 형성함으로써 게이트 전극의 상부면적을 증가시킬 수 있다. 이에 따라, 게이트 폴리와 금속 실리사이드 막과의 접촉을 원활하게 유지함으로써 서브 마이크론 단위로 게이트 길이가 짧아진다 할지라도 폴리사이드의 우수한 저항특성을 계속 유지할 수 있다. 또한, 게이트 전극의 하부 측부에 소정의 두께를 갖는 기생 커패시터 조절부재를 형성함으로써 상기 게이트 전극부와 상기 기판 사이에 형성되는 오버랩 영역에 의한 기생 커패시턴스의 크기를 조절할 수 있다. 상기 기생 커패시터 조절부재의 두께는 상기 날개부를 형성하기 위한 도전막의 증착두께를 조절함으로써 용이하게 조절할 수 있다. 따라서, 오버랩 기생 커패시턴스의 크기를 용이하게 조절함으로써 지연시간에 대한 제어를 용이하게 할 수 있다.

<43> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 상기 반도체 기판과 제1 절연막을 통해 절연되고 도전물질로 형성되는 적어도 하나의 게이트 패턴을 형성하는 단계;

상기 게이트 패턴과 상기 반도체 기판 상에 제2 절연막을 증착하는 단계;

상기 제2 절연막의 상부면이 상기 게이트 패턴의 상부면 이하에 위치하도록 상기 제2 절연막을 제거하는 단계;

상기 제2 절연막 및 상기 게이트 패턴의 상부면에 상기 도전물질로 형성되는 도전막을 형성하는 단계;

상기 제2 절연막이 노출되도록 상기 도전막을 제거하여 상기 게이트 패턴의 상부 측부에 상기 도전물질로 형성되는 스페이서를 형성함으로써 상기 게이트 패턴의 상부 접 측면적을 확장하는 단계; 및

상기 제2 절연막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 2】

제1항에 있어서, 상기 제1 절연막은 산화막이며, 상기 도전물질은 폴리실리콘인 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 3】

제1항에 있어서, 상기 제2 절연막은 저온 산화막(Low Temperature Oxide layer)인 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 4】

제3항에 있어서, 상기 저온 산화막은 고밀도 플라즈마 화학기상증착 공정에 의해 증착되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 5】

제4항에 있어서, 상기 저온 산화막은 3000Å의 두께까지 증착되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 6】

제1항에 있어서, 상기 제2 절연막을 제거하는 단계는 상기 제2 절연막의 상부면을 평탄화시키는 단계와 상기 제2 절연막을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 7】

제6항에 있어서, 상기 제2 절연막은 화학적 기계적 연마(Chemical Mechanical Polishing) 공정에 의하여 상기 게이트 패턴의 상부면으로부터 700Å의 두께까지 평탄화되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 8】

제6항에 있어서, 평탄화된 상기 제2 절연막은 상기 제1절연막으로부터 900Å의 두께까지 습식에칭되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 9】

제8항에 있어서, 상기 습식에칭은 LAL(Limulus Amoebocyte Lysate) 용액을 사용하여 수행되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 10】

제1항에 있어서, 상기 도전막의 형성단계 이전에 상기 제2 산화막 상에 존재하는 에칭 잔류물을 제거하기 위한 세정단계를 더 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 11】

제10항에 있어서, 상기 세정단계는 습식 세정으로 수행되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 12】

제1항에 있어서, 상기 도전막은 화학기상증착 방식에 의해 300Å 내지 500Å의 두께까지 형성되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 13】

제1항에 있어서, 상기 도전막은 이방성 식각에 의해 제거되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 패턴 형성방법.

【청구항 14】

제13항에 있어서, 상기 제2 절연막은 상기 스페이서를 마스크로 하여 제거되어 상기 게이트 패턴의 하부 측부에만 잔존하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 15】

제14항에 있어서, 상기 제2 절연막은 건식 식각에 의해 제거되는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 16】

제14항에 있어서, 상기 게이트 패턴 및 상기 스페이스의 상부에 실리사이드 막을 형성하기 위한 실리사이드 공정(silicidation process)을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 17】

제16항에 있어서, 상기 실리사이드 공정을 수행하는 단계는
상기 게이트 패턴 및 상기 스페이스의 상부에 금속막을 형성하는 단계; 및
상기 금속막과 상기 도전물질 사이의 반응을 유도하기 위한 열처리 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 18】

제17항에 있어서, 상기 금속막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co)를 포함하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 19】

소자 분리구조에 의해 활성영역(active region)이 한정된 반도체 기판 상에 상기 반도체 기판과 제1 절연막을 통해 절연되고 도전물질로 형성되는 적어도 하나의 게이트 패턴을 형성하는 단계;

상기 게이트 패턴과 상기 반도체 기판 상에 제2 절연막을 증착하는 단계;

상기 제2 절연막의 상부면이 상기 게이트 패턴의 상부면 이하에 위치하도록 상기 제2 절연막을 제거하는 단계;

상기 제2 절연막 및 상기 게이트 패턴의 상부면에 상기 도전물질로 형성되는 제1 도전막을 형성하는 단계;

상기 제2 절연막이 노출되도록 상기 제1 도전막을 제거하여 상기 게이트 패턴의 상부 측부에 제1 스페이서를 형성함으로써 상부 표면적이 확장된 확장형 게이트 패턴 (surface-enlarged gate pattern)을 형성하는 단계;

상기 제2 절연막 및 상기 제1 절연막을 제거하여 상기 반도체 기판의 표면을 노출하는 단계;

상기 반도체 기판의 전면(entire surface) 및 상기 확장형 게이트 패턴의 상부에 제3 절연막을 형성하는 단계;

저농도 소스/드레인(lightly doped source/drain region) 구조를 형성하기 위해 상기 확장형 게이트 패턴을 마스크로 사용하여 상기 확장형 게이트 패턴의 양 측부에 위치하는 반도체 기판에 저농도 불순물 이온을 주입하는 단계;

상기 제3 절연막의 상부에 제4 절연막을 형성하는 단계;

상기 제4 절연막을 제거하여 상기 확장형 게이트 패턴의 측부에 제2 스페이서를 형성하는 단계;

상기 확장형 게이트 패턴 및 상기 제2 스페이서를 마스크로 사용하여 상기 확장형 게이트 패턴의 양 측부에 고농도 불순물 이온을 주입하여 소스/드레인 영역을 형성하는 단계;

상기 저농도 불순물 이온 및 고농도 불순물 이온을 열 확산시키는 단계; 및

상기 확장형 게이트 패턴의 상부면 및 상기 소스/드레인 영역의 상부면에 제2 도전막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 20】

제19항에 있어서, 상기 제1 절연막은 산화막이며, 상기 도전물질은 폴리실리콘인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 21】

제19항에 있어서, 상기 제2 절연막은 저온 산화막(LTO)인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 22】

제19항에 있어서, 상기 제2 절연막을 제거하는 단계는 상기 제2 절연막의 상부면을 평탄화시키는 단계와 상기 제2 절연막을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 23】

제22항에 있어서, 상기 제2 절연막은 화학적 기계적 연마공정에 의해 평탄화된 후, 습식 에칭되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 24】

제19항에 있어서, 상기 제1 도전막 형성단계 이전에 상기 제2 산화막 상에 존재하는 에칭 잔류물을 제거하기 위한 세정단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 25】

제19항에 있어서, 상기 제1 도전막은 화학기상증착 방식에 의해 300Å 내지 500Å의 두께까지 형성된 후, 이방성 식각에 의해 제거되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 26】

제25항에 있어서, 상기 제2 절연막은 상기 제1 스페이서를 마스크로 사용하여 식각되어 상기 게이트 패턴의 하부 측부에만 잔존하는 것을 특징으로 하는 반도체 소자용 게이트 구조의 형성방법.

【청구항 27】

제19항에 있어서, 상기 제3절연막은 CVD 또는 PVD 방식에 의해 증착되는 산화막인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 28】

제19항에 있어서, 상기 저농도 불순물 이온 주입단계 이전에 상기 불순물이 채널영역으로 확산하는 것을 방지하기 위한 확산방지 이온을 주입하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 29】

제28항에 있어서, 상기 확산방지 이온은 게르마늄(Ge), 인(P), 실리콘(Si), 또는 인듐(In) 중의 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 30】

제28항에 있어서, 상기 확산방지 이온은 상기 반도체 기판으로부터 시계방향으로 측정된 제1 틸트각을 유지하면서 상기 확장형 게이트 패턴의 일측부로 주입되며, 상기 반도체 기판으로부터 반시계방향으로 측정된 제2 틸트각을 유지하면서 상기 확장형 게이트 패턴의 일측부와 대향하는 타측부로 주입되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 31】

제30항에 있어서, 상기 제1 틸트각 및 제2 틸트각은 30° 내지 45° 의 범위를 갖는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 32】

제19항에 있어서, 상기 저농도 불순물 이온 및 고농도 불순물 이온은 상기 반도체 기판에 대해 수직하게 주입되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 33】

제19항에 있어서, 상기 제4 절연막은 CVD 공정 혹은 PVD 공정에 의해 증착된 질화막인 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 34】

제19항에 있어서, 상기 제2 도전막을 형성하는 단계는,

상기 소스/드레인 영역의 상부에 형성된 상기 제3 절연막을 제거하여 상기 반도체 기판의 표면을 노출하는 단계;

상기 반도체 기판의 전면에 금속막을 증착하는 단계;

상기 금속막과 상기 반도체 기판 및 상기 금속막과 상기 확장형 게이트 패턴의 도전물질 사이의 반응을 유도하기 위한 열처리 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 35】

제34항에 있어서, 상기 금속막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co) 중의 어느 하나로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 36】

소자분리 구조에 의해 활성영역(active region)이 한정된 반도체 기판;

상기 활성영역의 기판 상에 형성된 게이트 절연막;

상기 게이트 절연막과 접하는 몸체부 및 상기 몸체부의 상부 측부에 형성된 날개부를 포함하는 버섯형(mushroom) 게이트 및 상기 날개부의 하부에 위치하며, 상기 몸체부 및 상기 게이트 절연막과 접하는 기생 커패시턴스 조절부재를 구비하는 게이트 전극부;

상기 게이트 전극부의 양 측벽에 형성된 절연재질의 스페이서;

상기 게이트 전극부를 사이에 두고 이격하여 위치하며, 상기 활성영역에 형성된 소스/드레인 전극부를 포함하는 반도체 소자.

【청구항 37】

제36항에 있어서, 상기 게이트는 폴리실리콘으로 형성되며, 상기 조절부재는 저온 산화막으로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 38】

제36항에 있어서, 상기 소스/드레인 영역의 불순물이 소스 및 드레인 사이의 채널 영역으로 확산하는 것을 방지하기 위한 확산방지 층을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 39】

제36항에 있어서, 상기 몸체부 및 날개부의 표면에 결합되어 상기 게이트의 전기저항을 감소시키기 위한 금속막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 40】

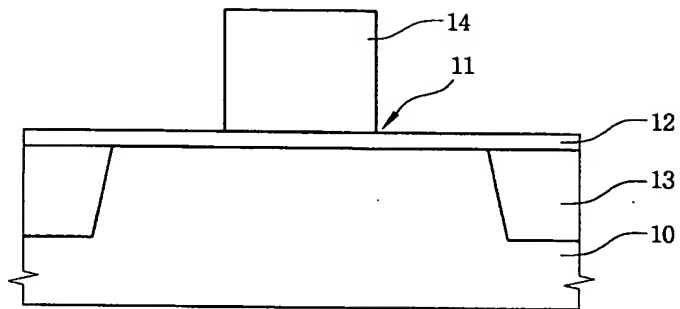
제39항에 있어서, 상기 금속막은 티타늄(Ti), 텅스텐(W) 또는 코발트(Co) 중의 어느 하나로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 41】

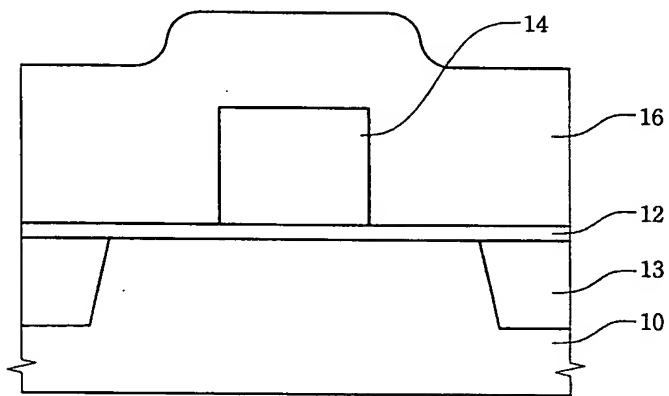
제39항에 있어서, 상기 금속막은 상기 소스/드레인 영역의 상부기판에도 증착된 것을 특징으로 하는 반도체 소자.

【도면】

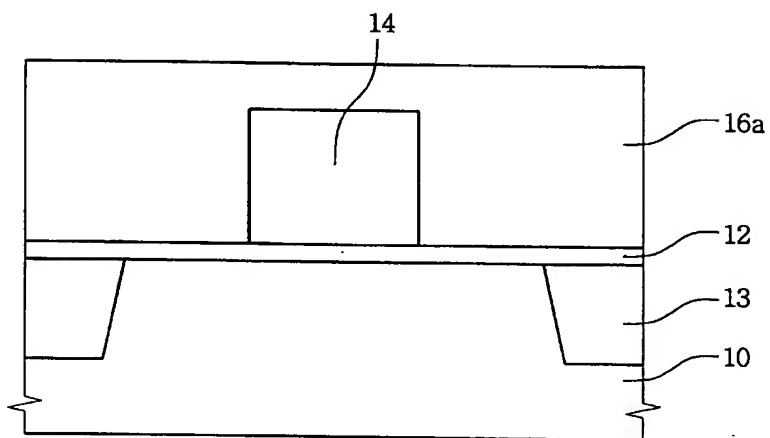
【도 1a】



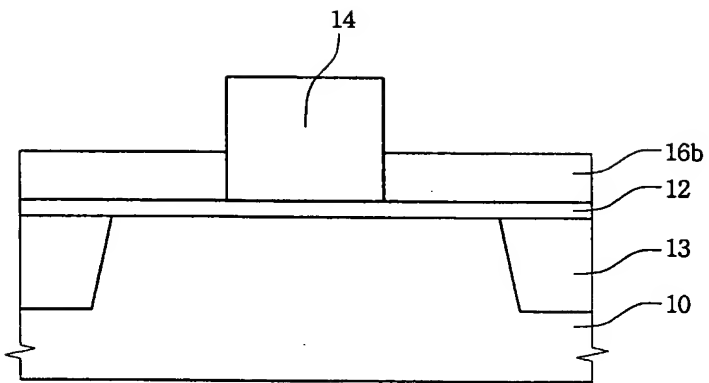
【도 1b】



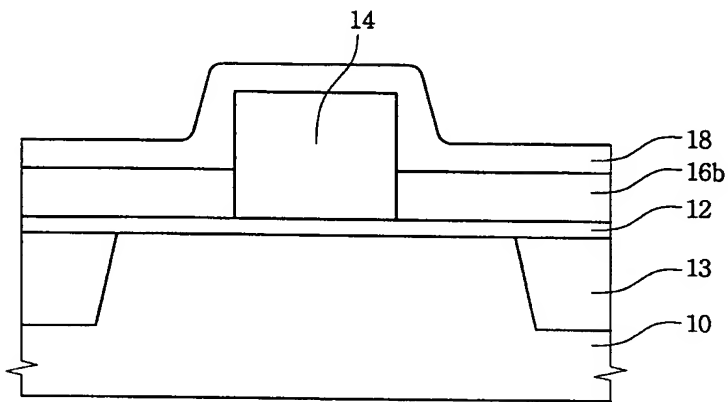
【도 1c】



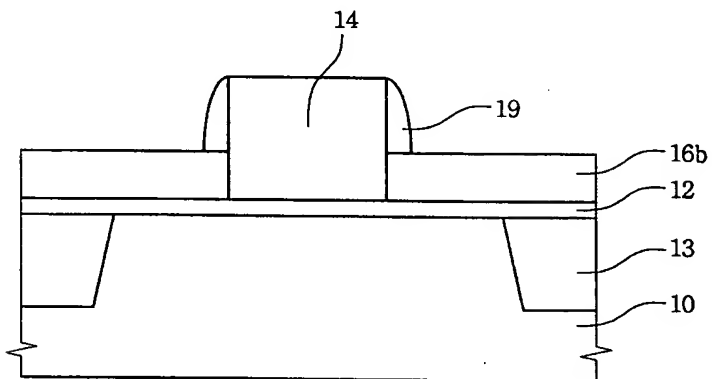
【도 1d】



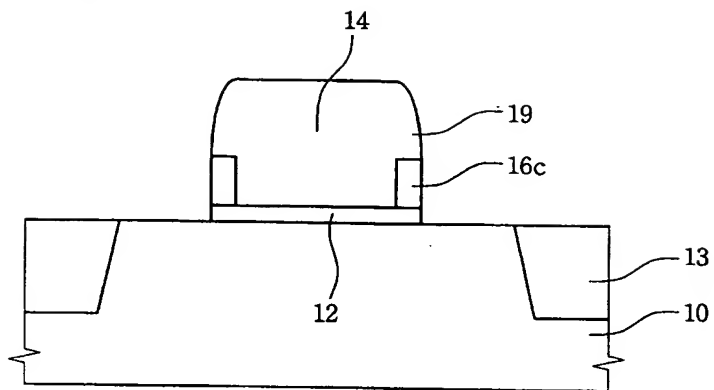
【도 1e】



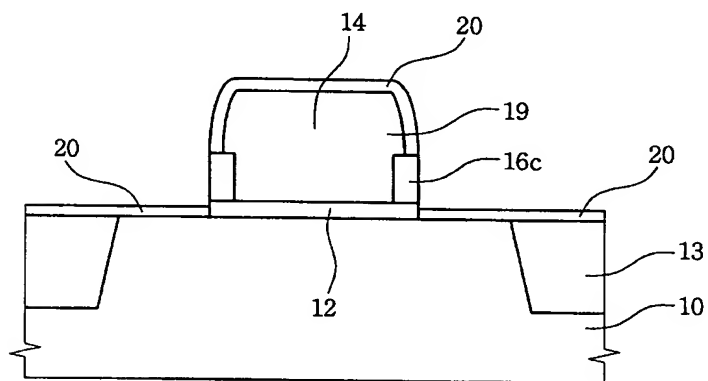
【도 1f】



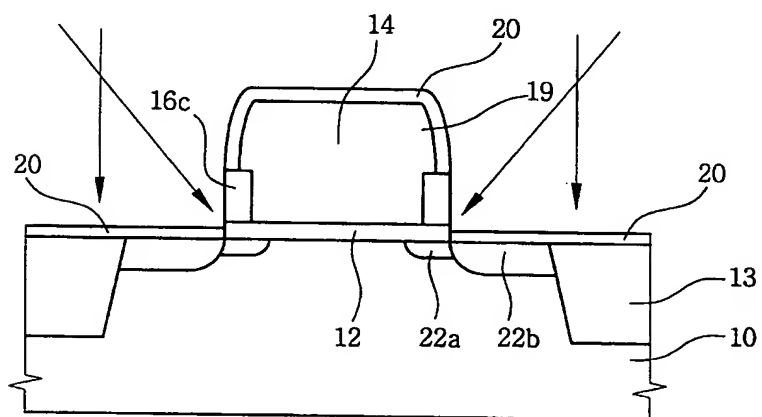
【도 1g】



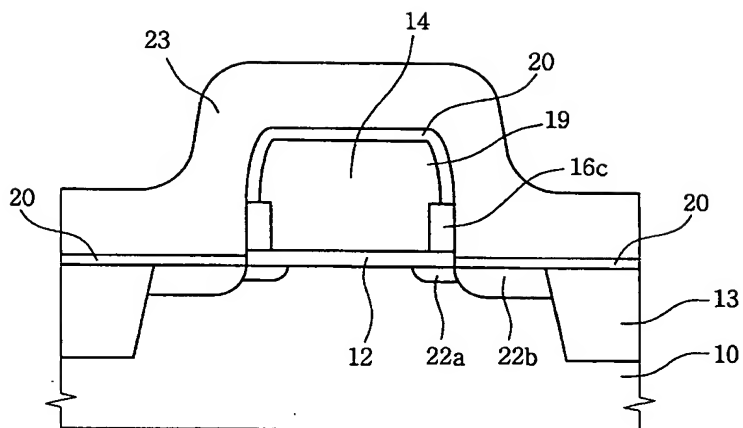
【도 1h】



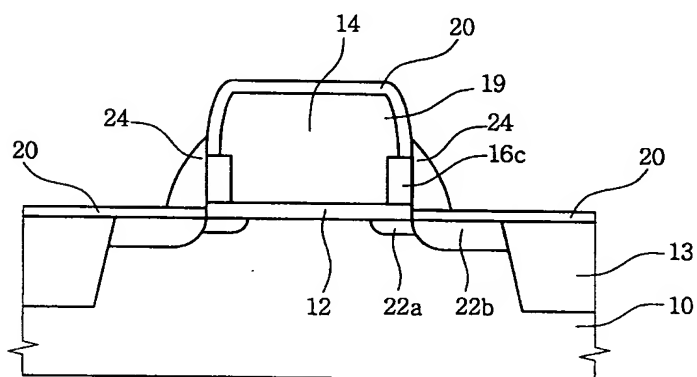
【도 1i】



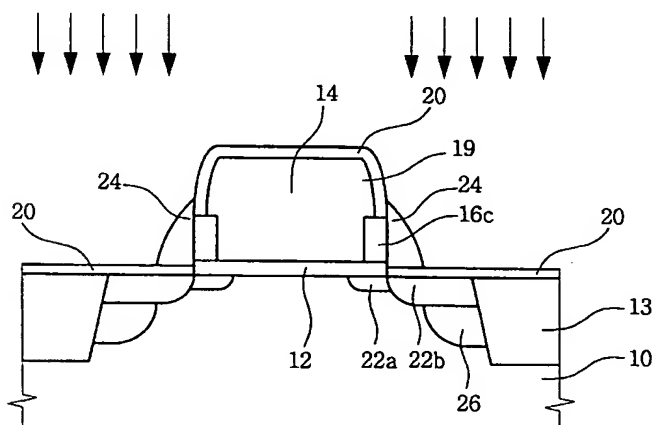
【도 1j】



【도 1k】



【도 1l】



This cross-sectional view shows a central bridge structure (14) with a top layer (19) and side walls (24). The bridge is supported by two pillars (22a, 22b) on a substrate (10). A thin layer (12) is beneath the bridge, and a layer (16c) is on the pillars. The entire structure is surrounded by a material (20) with a top surface (28). A layer (26) is at the base of the pillars.

FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 100 with a top surface 200. A gate stack 300 is formed on the top surface 200, consisting of a gate dielectric layer 400 and a gate electrode layer 600. The gate electrode layer 600 is patterned to form a gate electrode 300. A source/drain region 500 is formed in the substrate 100, comprising a source region 510, a channel region 520, and a drain region 530. The source/drain region 500 is electrically connected to the gate electrode 300 via a contact layer 200.